

Docket No.: 1999P2628



I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Wm Steiner Date: March 17, 2003

RECEIVED  
MAR 26 2003  
TECHNOLOGY CENTER 2800

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Lothar Bauch et al.

Applic. No. : 10/082,554

Filed : February 25, 2002

Title : Stacked VIA with Specially Designed Landing Pad for Integrated Semiconductor Structures

Examiner : Pershelle L. Greene - Art Unit: 2826

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 199 39 852.6 , filed August 23, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

For Applicants

WERNER H. STEMER  
REG. NO. 34,956

Date: March 17, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/tk



RECEIVED  
MAR 26 2003  
TECHNOLOGY CENTER 2800

## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 199 39 852.6

**Anmeldetag:** 23. August 1999

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Erstanmelder:** Siemens Aktiengesellschaft,  
München/DE

**Bezeichnung:** Stacked Via mit besonders ausgebildetem  
Landing Pad für integrierte Halbleiterstrukturen

**IPC:** H 01 L 23/522

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. Februar 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Waasmaier

Stacked Via mit besonders ausgebildetem Landing Pad für integrierte Halbleiterstrukturen

Die Erfindung betrifft eine integrierte Halbleiterstruktur mit mindestens einem sich durch mehrere Schichten erstreckenden Kontakt zum elektrischen Kontaktieren von Bereichen der Halbleiterstruktur, wobei der Kontakt in einer ersten Schicht eine erste Kontaktlochfüllung (A) und in einer zweiten Schicht eine zweite Kontaktlochfüllung (C) sowie in einer zwischen der ersten und der zweiten Schicht befindlichen Zwischenschicht eine Zwischenstruktur (B) zum Verbinden der ersten Kontaktlochfüllung mit der zweiten aufweist.

Solche in derartige Schichtenfolgen eingebrachte Kontakte werden als Stacked Via bezeichnet und dienen zum elektrischen Anschließen von unter solchen Strukturen vergrabenen Bereichen durch die darüberliegenden Schichtenfolgen hindurch. Insbesondere bei Mehrlagen-Metallisierungen müssen die Kontakte durch die einzelnen Metallagen und die dazwischen befindlichen isolierenden Oxidschichten hindurchgeführt werden. Dazu wird nach der Abscheidung jeder Ebene eine lithographisch geformte Öffnung (Via) freigeätzt und anschließend mit einem leitfähigen Material gefüllt. In den zwischen den Oxidschichten befindlichen Metallebenen werden auf ebenfalls lithographischem Wege Metallinseln erzeugt. Diese als Landing Pads bezeichneten Metallinseln dienen zum elektrischen Verbinden des in der darunterliegenden Oxidschicht eingebrachten Vias mit dem über diesem in der nächsten abzuschheidenden Oxidschicht einzubringenden Via. Die auf diese Weise hergestellten Kontaktfolgen aus Vias und Landing Pads sind aufgrund ihrer lithographischen Herstellungsweise anfällig für Fehleinstellungen vor allem bei der Maskenbelichtung. Hauptsächlich eine falsche Einstellung des Steppers, eine Defokussierung, eine falsche Belichtungsdosis und der je nach Belichtungsfeldgröße unterschiedlich große Abstand äußerer

Strukturen von der optischen Achse der Maskenbelichtung führen zu dem als Line Shortening bekannten Effekt, daß Strukturelemente zu klein und z. B. Linien zu kurz abgebildet werden. Aus diesem Grund werden die Metallinseln zur Via-

5 Kontaktierung größer als eigentlich notwendig dimensioniert, damit auch bei nicht exakt übereinanderliegenden Vias oder bei einem seitlichen Versatz oder zu klein geratener Abmessungen der Metallinsel das Stacked Via dennoch elektrisch leitet.

10

Bei dem Design des Verlaufs von Metallisierungsbahnen in der Metallebene wird in der Regel ein periodisches Grundraster aus Punkten bzw. Linien zugrundegelegt, die entsprechend den Kanten bzw. Ecken eines Quadrats angeordnet sind. Auf diesem

15 Grundraster werden die Metallinseln, die lediglich in vertikaler Richtung senkrecht zur Metallisierungsebene leiten sollen, als möglichst kleines Quadrat markiert, damit es von benachbarten Punkten des Grundrasters einen möglichst großen Abstand einhält. Angesichts des Line Shortenings jedoch, das

20 bei der quadratischen Metallinsel in beiden Abmessungen kritisch ist, sind der Kontaktverkleinerung enge Grenzen gesetzt. In der Praxis werden Landing Pads nach Abschluß des Layout-Designs noch einmal nachträglich vergrößert. Jedoch

25 ist spätestens dann, wenn das einmal entwickelte Design um einen gewissen Shrink-Faktor verkleinert wird, schnell die Grenze erreicht, bei der durch die Design-Regeln vorgeschriebene minimale Abstand zu benachbarten Metallbahnen unterschritten oder die sichere Kontaktierung übereinander liegender Vias nicht mehr gewährleistet ist.

30

Ein weiterer Nachteil besteht darin, daß sich Lackstrukturen zum Erzeugen herkömmlicher Landing Pads von dem Untergrund lösen können. Durch mit der Substratfläche größer werdende Fokusschwankungen werden Lackstrukturen mit schräg geneigten

35 Seitenwänden erzeugt. Insbesondere Lackstrukturen mit nach

gliedert sich die dargestellte Knochenstruktur, obwohl sie zwei Punkte des Grundrasters einnimmt, besser in das Raster-Layout ein und führt auch bei einer nachträglichen Miniaturisierung der Schaltung eine zuverlässigere Via-Kontaktierung als die in Figur 2 rechts dargestellte aufgeblähte quadratische Metallinsel.

Selbstverständlich liegt es im Rahmen der vorliegenden Erfindung, die erfindungsgemäße Form des Metallkontaktes zu verändern, zu erweitern oder einem veränderten Grundraster anzupassen. so bietet es sich zum Beispiel an, der in Figur 3 dargestellten Knochenform eine vertikal verlaufende Leitbahn mit abschließender quadratischer Kontaktfläche hinzuzufügen. Auch in diesem Fall nimmt das Landing Pad in jeder Dimension lediglich zwei benachbarte Punkte des Grundrasters ein, wohingegen ein herkömmlich gestaltetes quadratisches und durch Nachbearbeitung vergrößertes Landing Pad in jeder Richtung die Mindestabstände zum benachbarten Punkt des Grundrasters überschreitet und daher effektiv eine Grundfläche von 3 mal 3 Gitterpunkten beansprucht.

## Patentansprüche

1. Integrierte Halbleiterstruktur mit mindestens einem sich  
5 durch mehrere Schichten erstreckenden Kontakt zum elektri-  
schen Kontaktieren von Bereichen der Halbleiterstruktur, wo-  
bei der Kontakt in einer ersten Schicht eine erste Kontakt-  
lochfüllung (A) und in einer zweiten Schicht eine zweite Kon-  
taktlochfüllung (C) sowie in einer zwischen der ersten und  
10 der zweiten Schicht befindlichen Zwischenschicht eine Zwi-  
schenstruktur (B) zum Verbinden der ersten Kontaktlochfüllung  
mit der zweiten aufweist,  
dadurch gekennzeichnet,  
daß die Zwischenstruktur eine in der Zwischenschicht verlau-  
15 fende Leitbahn (s) aufweist.

2. Integrierte Halbleiterstruktur nach Anspruch 1,  
dadurch gekennzeichnet,  
daß die Leitbahn zwei nächstgelegene Punkte eines periodi-  
20 schen Grundrasters miteinander verbindet.

3. Integrierte Halbleiterstruktur nach Anspruch 2,  
dadurch gekennzeichnet,  
daß die Zwischenstruktur an jedem Ende der Leitbahn eine qua-  
25 dratische Kontaktfläche aufweist.

4. Integrierte Halbleiterstruktur nach Anspruch 3,  
dadurch gekennzeichnet,  
daß die Kontaktflächen und die Leitbahn eine knochenähnliche  
30 Form der Zwischenstruktur bilden.

5. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 4,  
dadurch gekennzeichnet,  
5 daß die Zwischenschicht eine Metallisierungsebene ist und daß die Zwischenstruktur aus einem leitfähigen Material der Metallisierungsebene besteht.
6. Integrierte Halbleiterstruktur nach einem der Ansprüche 1  
10 bis 5,  
dadurch gekennzeichnet,  
daß die Kontaktlochfüllungen Wolfram enthalten.
7. Integrierte Halbleiterstruktur nach einem der Ansprüche 1  
15 bis 6,  
dadurch gekennzeichnet,  
daß die erste und die zweite Schicht Oxidschichten sind.
8. Integrierte Halbleiterstruktur nach einem der Ansprüche 1  
20 bis 7,  
dadurch gekennzeichnet,  
daß der ersten und/oder der zweiten Schicht mindestens eine weitere Metallisierungsschicht benachbart ist.
- 25 9. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 8,  
dadurch gekennzeichnet,  
daß die integrierte Halbleiterstruktur ein Embedded DRAM ist.

## Zusammenfassung

Stacked Via mit besonders ausgebildetem Landing Pad für integrierte Halbleiterstrukturen

5

Bei der Herstellung von Stacked Vias werden zur Kontaktierung zwischen übereinander angeordneten Vias als Landing Pads bezeichnete Metallinseln eingebracht, die aufgrund des Line Shortening-Effekts seitlich wesentlich über die Vias hinausragen. Erfindungsgemäß werden in übereinanderliegenden Schichten angeordnete Vias gegeneinander lateral versetzt. Das erfindungsgemäße Landing Pad wird im wesentlichen als zwischen den Vias verlaufende Leitbahn gestaltet. An den Enden der Leitbahn vorgesehene Kontaktflächen müssen aufgrund des für längere Bahnen unkritischeren Line Shortening-Effekts nicht so groß gewählt werden wie die quadratischen Kontaktflächen herkömmlicher Metallinseln und lassen sich daher platzsparender auf einen zu miniaturisierenden Schaltungslayout unterbringen; der Shrinkfaktor einer solchen Halbleiterstruktur erhöht sich.

20

Figur 3



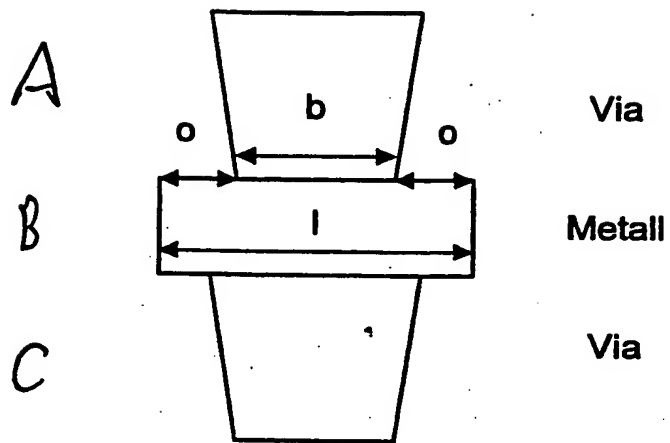
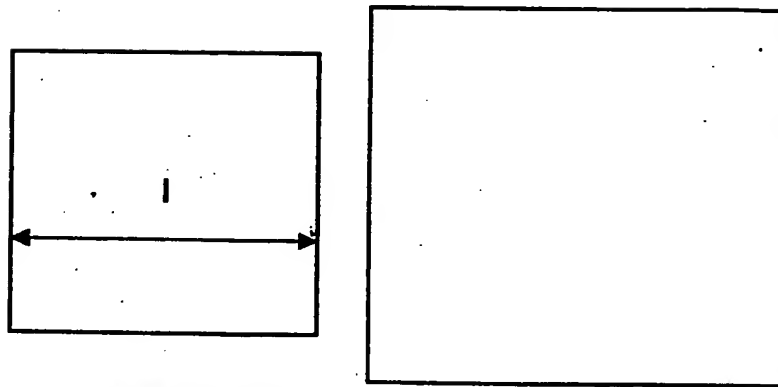


Fig. 1

Fig. 2

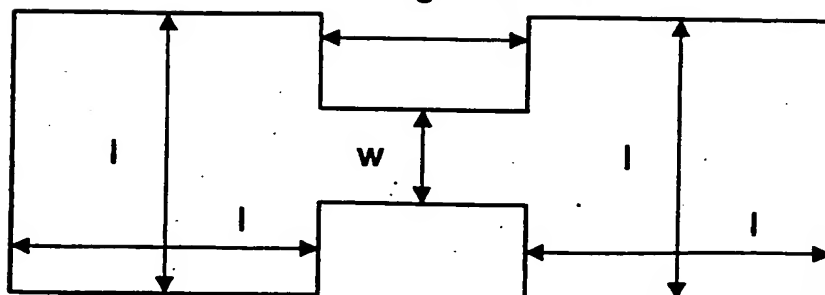


1713 P.V.

SSCC

CON-

Fig. 3



Docket No.: 1999P2628



RECEIVED

MAR 26 2003

CERTIFICATION

TECHNOLOGY CENTER 2800

I, the below named translator, hereby declare that: my name and post office address are as stated below; that I am knowledgeable in the English and German languages, and that I believe that the attached text is a true and complete translation of German Application No. 199 39 852.6, filed August 23, 1999.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Hollywood, Florida

A handwritten signature in cursive script, appearing to read "Ch Kahl", written over a horizontal line.

Christine Kahl

March 17, 2003

Lerner & Greenberg, P.A.  
P.O. 2480  
Hollywood, FL 33022-2480  
Tel.: (954) 925-1100  
Fax.: (954) 925-1101

1999P2628

Stacked via with specially designed landing pad for integrated semiconductor structures

The invention relates to an integrated semiconductor structure having at least one contact which extends through a plurality of layers and serves for electrically contact-connecting regions of the semiconductor structure, the contact having a first contact hole filling (A) in a first layer and a second contact hole filling (C) in a second layer and, in an intermediate layer situated between the first and second layers, an intermediate structure (B) for connecting the first contact hole filling to the second.

Such contacts introduced into layer sequences of this type are referred to as a stacked via and serve for electrically connecting regions buried below such structures through the overlying layer sequences. In multilayer metallizations, in particular, the contacts have to be led through the individual metal layers and the insulating oxide layers situated in between. To that end, after the deposition of each plane, a lithographically formed opening (via) is etched free and then filled with a conductive material. In the metal planes situated between the oxide layers, metal islands are produced likewise by lithography. These metal islands referred to as landing pads serve for electrically connecting the via introduced in the underlying oxide layer to the via that is to be introduced above it in the next oxide layer to be deposited. The contact sequences comprising vias and landing pads fabricated in this way are susceptible, on account of their lithographic mode of fabrication, to incorrect settings primarily during the mask exposure. Principally an incorrect setting of the stepper, a defocusing, an incorrect exposure

dose and the distance of outer structures from the optical axis of the mask exposure, said distance having different values depending on the exposure field size, lead to the effect known as line shortening, in which structural elements are imaged too small and e.g. lines are imaged too short. For this reason, the metal islands for via contact-connection are dimensioned to be larger than is actually necessary, in order that the stacked via nonetheless electrically conducts even in the case of vias not lying exactly one above the other or in the case of a lateral offset or excessively small dimensions of the metal island.

In the design of the course of metallization tracks in the metal plane, a periodic basic grid made of points or lines which are arranged in accordance with the edges or corners of a square is generally taken as a basis. On this basic grid, the metal islands, which are intended to conduct only in the vertical direction perpendicular to the metallization plane, are marked as a square that is as small as possible, in order that it maintains the largest possible distance from adjacent points of the basic grid. In view of the line shortening, however, which is critical in both dimensions in the case of the square metal island, narrow limits are imposed on reduction of the contact size. In practice, landing pads are subsequently enlarged again after the conclusion of the layout design. However, at the latest when the design, once developed, is reduced in size by a certain shrink factor, the limit is rapidly reached at which the minimum distance from adjacent metal tracks which is prescribed by the design rules is undershot or the reliable contact-connection of vias lying one above the other is no longer ensured.

A further disadvantage is that resist structures for the production of conventional landing pads can be detached from

the support. As a result of focus fluctuations that increase with the substrate area, resist structures with obliquely inclined side walls are produced. Particularly resist structures with an upwardly increasing cross-sectional area are easily detached from the metallization layer during spinning off and spread over the substrate.

The object of the present invention is to provide an integrated semiconductor structure in which electrical contacts which extend through a plurality of layers electrically conduct with sufficient security against faults despite increasing miniaturization, without lateral distances prescribed by design rules being undershot. Furthermore, it is an object of the present invention to provide a semiconductor structure of this type which, on account of its structure, can be fabricated without the above-described postprocessing in the form of subsequent expansion of landing pads. Finally, the intention is that the semiconductor structure to be produced can be fabricated with a lower risk of resist structures chipping off during the spinning off process.

This object is achieved in accordance with the characterizing part of claim 1 by virtue of the fact that the intermediate structure has an interconnect running in the intermediate layer.

The invention exploits the fact that the line shortening effect is less pronounced in the case of a line than in the case of a small, almost point-like contact area. Therefore, on the basis of the basic grid used, a line rather than a point is selected as the basic pattern for a contact area, so that rather than two points, a point and a line meet at the connection between via and landing pad. According to the invention, the contact hole fillings in the oxide layers,

above and below the metallization plane, considered from the plan view, are arranged laterally offset relative to one another. The semiconductor structures provided with the landing pads formed according to the invention are shrinkable to a degree at which conventional square metal contacts are no longer suitable for production. Since the line shortening has a less pronounced effect on the metal island formed as an interconnect, the postprocessing conventionally used after the conclusion of the layout design can be obviated. The invention furthermore has the advantage that a plurality of stacked vias running next to one another can run closely next to one another, namely at a distance of a respective length of the basic grid in each plane, whereas conventional square and subsequently expanded metal contacts, on account of design rule contraventions, had to run at a distance of two basic lengths from one another or from further metallization tracks. As a result, despite the originally point-type contacts being enlarged to form interconnects, there is an increase in the shrink factor of the entire structure.

A preferred embodiment provides for the interconnect to connect two nearest points of a periodic basic grid to one another.

One development of the invention provides for the intermediate structure to have a square contact area at each end of the interconnect. Even with differently shaped contact areas at both ends of the interconnect, the result is that the shape of the intermediate structure or metal island has an approximately bone-like appearance.

The metal island is expediently composed of the same conductive material of which the metallization plane is also

composed. The vias in the adjacent, preferably oxidic layers preferably predominantly contain tungsten.

A development of the invention which is direct at multilayer metallizations provides for at least one further metallization layer to be adjacent to the first and/or the second layer.

Any semiconductor structures, but preferably DRAMs, in particular embedded DRAMs, are appropriate as integrated semiconductor structures with the stacked vias configured according to the invention.

The invention is explained below with reference to figures 1 to 3.

Figure 1 shows a cross-sectional view of a model of a stacked via formed in a previously known manner prior to the layout postprocessing, and

Figure 2 shows a plan view of the metallization island contained therein before and after the layout postprocessing.

Figure 3 shows a plan view of a metallization island formed according to the invention.

As shown in figure 1, a conventional square landing pad extends around an edge of width  $o$  on all four sides beyond the dimensions  $b$  at the bottom of a via. The landing pad which, with a dimension of  $l = b + 2 o$ , maintains sufficient distances from adjacent metallization tracks and therefore conforms to design rules is enlarged in the context of the layout postprocessing in accordance with figure 2.

With this size, although the vertically adjacent vias are contact-connected, there is nonetheless the fear of short circuits arising within the metallization plane.

Figure 3 shows a landing pad according to the invention in the shape of a bone, formed from an interconnect having the width  $w$  and the length  $s+l$ , strengthened at both ends by square end contacts having the dimension  $l$ . Unlike those in figure 2, these squares are no longer enlarged. For this reason, the bone structure illustrated, even though it occupies two points of the basic grid, fits better into the grid layout and, even in the case of subsequent miniaturization of the circuit, carries a more reliable via contact-connection than the expanded square metal island illustrated on the right in figure 2.

It goes without saying that it lies within the scope of the present invention for the form of the metal contact according to the invention to be altered, extended, or adapted to an altered basic grid. Thus, by way of example, it is possible for a vertically running interconnect with terminating square contact area to be added to the bone shape illustrated in figure 3. In this case, too, the landing pad occupies only two adjacent points of the basic grid in each dimension, whereas a conventionally configured square landing pad enlarged by postprocessing exceeds the minimum distances from the adjacent point of the basic grid in each direction and therefore effectively takes up a basic area of 3 times 3 grid points.



## Patent Claims

1. An integrated semiconductor structure having at least one contact which extends through a plurality of layers and serves for electrically contact-connecting regions of the semiconductor structure, the contact having a first contact hole filling (A) in a first layer and a second contact hole filling (C) in a second layer and, in an intermediate layer situated between the first and second layers, an intermediate structure (B) serving for connecting the first contact hole filling to the second contact hole filling,  
c h a r a c t e r i z e d i n t h a t  
the intermediate structure having an interconnect which runs in the intermediate layer.
2. The integrated semiconductor structure as claimed in claim 1, characterized in that the interconnect connects two nearest points of a periodic basic grid to one another.
3. The integrated semiconductor structure as claimed in claim 2, characterized in that the intermediate structure has a square contact area at each end of the interconnect.
4. The integrated semiconductor structure as claimed in claim 3, characterized in that the contact areas and the interconnect form a bone-like form of the intermediate structure.
5. The integrated semiconductor structure as claimed in one of claims 1 to 4, characterized in that the intermediate layer is a metallization plane, and in that the intermediate structure comprises a conductive material of the metallization plane.

6. The integrated semiconductor structure as claimed in one of claims 1 to 5, characterized in that the contact hole fillings contain tungsten.

7. The integrated semiconductor structure as claimed in one of claims 1 to 6, characterized in that the first and second layers are oxide layers.

8. The integrated semiconductor structure as claimed in one of claims 1 to 7, characterized in that at least one further metallization layer is adjacent to the first and/or the second layer.

9. The integrated semiconductor structure as claimed in one of claims 1 to 8, characterized in that the integrated semiconductor structure is an embedded DRAM.

## Abstract

Stacked via with specially designed landing pad for integrated semiconductor structures

In the fabrication of stacked vias, metal islands referred to as landing pads are introduced for the purpose of contact-connection between vias arranged one above the other, which metal islands project laterally beyond the vias to a significant extent on account of the line shortening effect. According to the invention, vias arranged in layers lying one above the other are laterally offset with respect to one another. The landing pad according to the invention is essentially configured as an interconnect running between the vias. On account of the line shortening effect, which is less critical for longer tracks, contact areas provided at the ends of the interconnect do not have to be chosen to be as large as the square contact areas of conventional metal islands and can therefore be accommodated in a manner that saves more space on a circuit layout to be miniaturized; the shrink factor of such a semiconductor structure is increased.

Figure 3



1/1

FIG 1

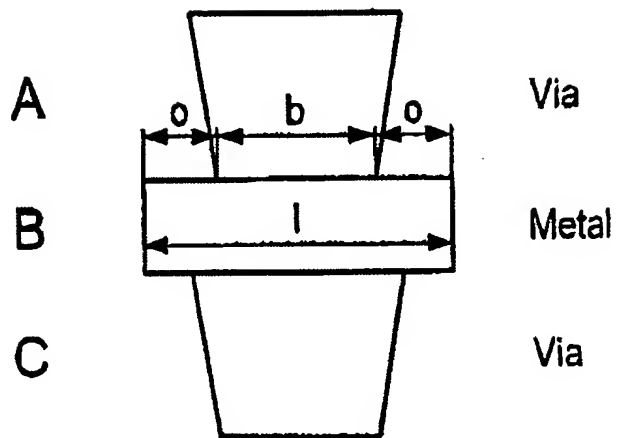


FIG 2

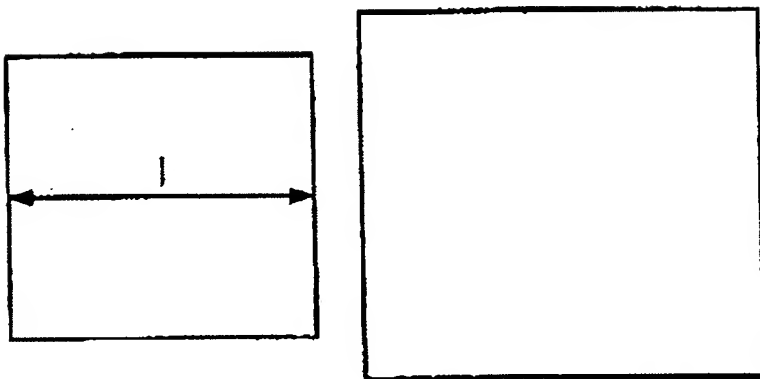
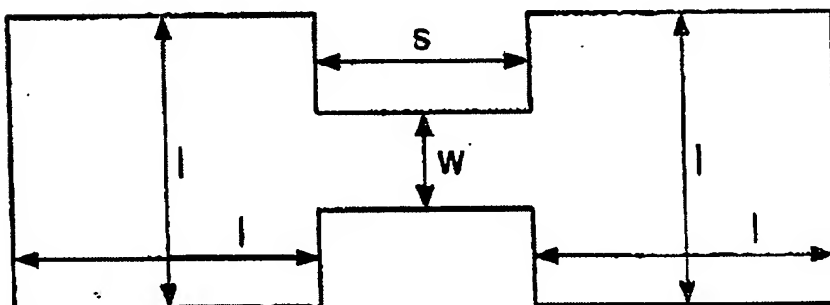


FIG 3



Metallkontakte nicht mehr fertigungstauglich sind. Da sich das Line Shortening auf die als Leitbahn geformte Metallinsel schwächer auswirkt, kann die herkömmlich eingesetzte Nachbearbeitung nach Abschluß des Layout-Designs entfallen. Die Erfindung hat ferner den Vorteil, daß mehrere nebeneinander verlaufende gestapelte Vias dicht nebeneinander, nämlich in Abstand von je einer Länge des Grundrasters in jeder Ebene verlaufen können, wohingegen herkömmliche quadratische und nachträglich aufgeblähte Metallkontakte aufgrund von Design-Regelverletzungen im Abstand von zwei Grundlängen voneinander oder von weiteren Metallisierungsbahnen verlaufen mußten. Dadurch gibt sich trotz einer Vergrößerung der ursprünglich punktförmigen Kontakte zu Leitbahnen einer Vergrößerung des Shrink-Faktors der gesamten Struktur.

15

Eine bevorzugte Ausführungsform sieht vor, daß die Leitbahn zwei nächstgelegene Punkte eines periodischen Grundrasters miteinander verbindet.

20 Eine Weiterbildung der Erfindung sieht vor, daß die Zwischenstruktur an jedem Ende der Leitbahn eine quadratische Kontaktfläche aufweist. Auch bei anders geformten Kontaktflächen an beiden Enden der Leitungsbahn ergibt sich eine in etwa knochenähnlich aussehende Form der Zwischenstruktur bzw. Metallinsel.

25

Die Metallinsel besteht zweckmäßigerweise aus demselben leitfähigen Material, aus dem auch die Metallisierungsebene besteht. Die Vias in den benachbarten, vorzugsweise oxidischen Schichten enthalten vorzugsweise überwiegend Wolfram.

30

Eine auf Mehrlagenverdrahtungen gerichtete Weiterbildung der Erfindung sieht vor, daß der ersten und/oder der zweiten Schicht mindestens eine weitere Metallisierungsschicht benachbart ist.

35

Als integrierte Halbleiterstrukturen mit den erfindungsgemäß ausgestalteten Stacked Vias kommen jegliche Halbleiterstrukturen, vorzugsweise jedoch DRAMs, insbesondere Embedded DRAMs, in Betracht.

Die Erfindung wird nachstehend anhand der Figuren 1 bis 3 erläutert.

Figur 1 zeigt eine Querschnittansicht eines Modells eines in vorbekannter Weise geformten Stacked Vias vor der Layout-Nachbearbeitung und

Figur 2 eine Draufsicht auf die darin enthaltene Metallisierungsinselform vor und nach der Layout-Nachbearbeitung.

Figur 3 zeigt eine Draufsicht auf eine erfindungsgemäß geformte Metallisierungsinselform.

Wie Figur 1 zeigt, erstreckt sich ein herkömmliches quadratisches Landing Pad um einen Rand der Breite  $o$  zu allen vier Seiten über die Abmessungen  $b$  am Boden eines Vias hinaus. Das mit einer Abmessung von  $l = b + 2 o$  ausreichende Abstände zu benachbarten Metallisierungsbahnen wahrende und daher designregelkonformel Landing Pad wird im Rahmen der Layout-Nachbearbeitung entsprechend Figur 2 vergrößert.

Bei dieser Größe werden zwar die vertikal benachbarten Vias kontaktiert, allerdings sind Kurzschlüsse innerhalb der Metallisierungsebene zu befürchten.

Abbildung 3 zeigt ein erfindungsgemäßes Landing Pad in Knochenform, gebildet aus einer Leitbahn der Breite  $w$  und der Länge  $s+l$ , an beiden Enden durch quadratische Endkontakte der Abmessung  $l$  verstärkt. Diese Quadrate werden anders als diejenigen in Figur 2 nicht mehr vergrößert. Aus diesem Grunde

oben hin zunehmender Querschnittsfläche werden beim Abschleudern leicht von der Metallisierungsschicht gelöst und über das Substrat verstreut.

5 Es ist die Aufgabe der vorliegenden Erfindung, eine integrierte Halbleiterstruktur bereitzustellen, in denen elektrische Kontakte, die sich durch mehrere Schichten hindurch erstrecken, trotz zunehmender Miniaturisierung mit ausreichender Fehlersicherheit elektrisch leiten, ohne daß durch Design-Regeln vorgeschriebene laterale Abstände unterschritten  
10 werden. Es ist ferner Aufgabe der vorliegenden Erfindung, eine derartige Halbleiterstruktur bereitzustellen, die aufgrund ihrer Struktur ohne die oben beschriebene Nachbearbeitung in Form eines nachträglichen Aufblähens von Landing Pads herstellbar ist. Schließlich soll die bereitzustellende Halbleiterstruktur mit geringerem Risiko eines Abplatzens von Lackstrukturen während des Abschleuderns herstellbar sein.

Diese Aufgabe wird gemäß dem Kennzeichen des Anspruchs 1 dadurch  
20 durch gelöst, daß die Zwischenstruktur eine in der Zwischenschicht verlaufende Leitbahn aufweist.

Erfindungsgemäß wird ausgenutzt, daß sich der Effekt des Line Shortenings bei einer Linie weniger stark auswirkt als bei  
25 einer kleinen, fast punktförmigen Kontaktfläche. Daher wird auf der Basis des verwendeten Grundrasters kein Punkt, sondern eine Linie als Grundmuster für eine Kontaktfläche ausgewählt, so daß an der Verbindung zwischen Via und Landing Pad nicht zwei Punkte, sondern ein Punkt und eine Linie aufeinander  
30 treffen. Erfindungsgemäß werden die Kontaktlochfüllungen in den Oxidschichten oberhalb und unterhalb der Metallisierungsebene aus der Draufsicht betrachtet lateral gegeneinander versetzt angeordnet. Die mit den erfindungsgemäß geformten Landing Pads versehenen Halbleiterstrukturen sind bis zu  
35 einem Grade shrinkfähig, bei dem herkömmliche quadratische